

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164788

(43)Date of publication of application : 07.06.2002

(51)Int. Cl.

H03M 1/74

H03M 1/68

(21)Application number : 2000-361065

(71)Applicant : KAWASAKI MICROELECTRONICS KK

(22)Date of filing : 28.11.2000

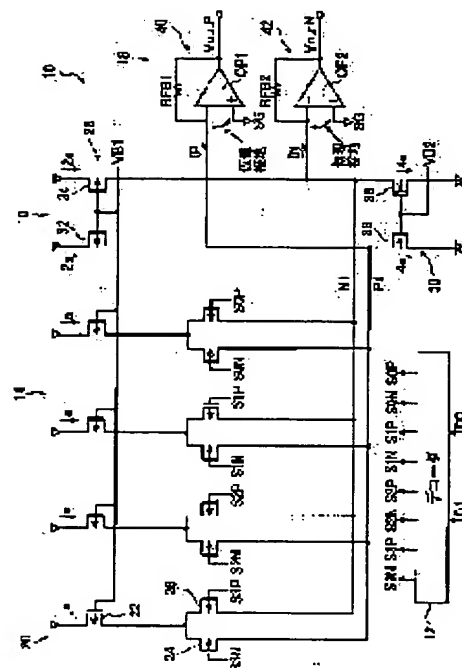
(72)Inventor : ARAKI TATSUYUKI

(54) DIFFERENTIAL OUTPUT TYPE DA CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a differential output type DA converter which has a wide voltage range with a signal ground as a center and can also output a differential voltage having satisfactory linearity.

SOLUTION: A digital signal is decoded by a decoder, and a decode signal is outputted. A current cell array is composed of a constant current source where a current direction is only one direction, and a plurality of current cells having first current paths to be current paths when selected by the decode signal and second current paths to be current paths when unselected are arranged. A current returning circuit generates first and second currents by supplying a sink current or a source current to an added current obtained by adding the currents of a plurality of first current paths and an added current obtained by adding the currents of a plurality of the second current paths, and an IV conversion circuit converts the first and second currents into analog signals of voltage levels corresponding to the first and second currents, respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164788

(P2002-164788A)

(43) 公開日 平成14年6月7日 (2002.6.7)

(51) Int.Cl.⁷

H03M 1/74

1/68

識別記号

F I

H03M 1/74

1/68

ターミナル (参考)

5 J 0 2 2

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願2000-361065 (P2000-361065)

(22) 出願日 平成12年11月28日 (2000.11.28)

(71) 出願人 501285133

川崎マイクロエレクトロニクス株式会社

千葉県千葉市美浜区中瀬一丁目3番地

(72) 発明者 荒木 達之

東京都千代田区内幸町2丁目2番3号 川

崎製鉄株式会社東京本社内

(74) 代理人 100080159

弁理士 渡辺 望穂 (外1名)

Fターム (参考) 5J022 AB06 AB09 BA00 BA01 CA09

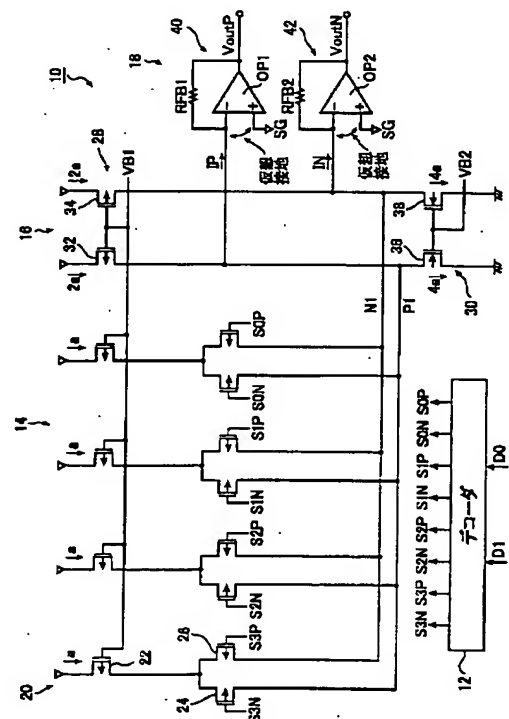
CB01 CF02 CF04 CF05 CF07

(54) 【発明の名称】 差動出力型 D A 変換器

(57) 【要約】

【課題】 シグナルグラウンドを中心として広い電圧レンジを持ち、なおかつリニアリティの良好な差動電圧を出力可能な差動出力型 D A 変換器を提供する。

【解決手段】 デジタル信号は、デコーダによりデコードされ、デコード信号が出力される。電流セルアレイは、電流の方向が一方のみの定電流源で構成され、デコード信号による選択時に電流の経路となる第1電流経路および非選択時に電流の経路となる第2電流経路を有する電流セルが複数配置されている。電流折り返し回路によって、複数の第1電流経路の電流を加算した加算電流および複数の第2電流経路の電流を加算した加算電流に対しシンク電流またはソース電流を供給することにより第1の電流および第2の電流を生成し、I/V変換回路により、第1および第2の電流のそれぞれに対応する電圧レベルのアナログ信号に変換する。



【特許請求の範囲】

【請求項１】 デジタル信号をデコードしてデコード信号を出力するデコーダと、

電流の方向が一方のみの定電流源で構成され、前記デコード信号による選択時に前記電流の経路となる第１電流経路および非選択時に前記電流の経路となる第２電流経路を有する電流セルが複数配置された電流セルアレイと、

複数の前記第１電流経路の電流を加算した加算電流および複数の前記第２電流経路の電流を加算した加算電流に対しシンク電流またはソース電流を供給することにより第１の電流および第２の電流を生成する電流折り返し回路と、

前記第１および第２の電流のそれぞれに対応する電圧レベルのアナログ信号に変換するＩＶ変換回路と、

を備えていることを特徴とする差動出力型ＤＡ変換器。

【請求項２】 前記ソース電流は前記電流セルアレイを流れる総和電流の略半分に相当し、前記シンク電流は前記総和電流に略相当するものであることを特徴とする請求項１に記載の差動出力型ＤＡ変換器。

【請求項３】 前記電流折り返し回路は、第１の電圧に接続された第１および第２の定電流源により前記ソース電流を生成し、第２の電圧に接続された第３および第４の定電流源により前記シンク電流を生成することを特徴とする請求項１または２に記載の差動出力型ＤＡ変換器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】 本発明は、デジタル信号を、その入力コードに対応した電圧レベルのアナログ信号に変換する差動出力型ＤＡ変換器に関するものである。

【０００２】

【従来の技術】 図７は、従来のＤＡ変換器を用いて差動出力を得る回路の一例である。同図に示すＤＡ変換器（以下、ＤＡＣという）６２は、デジタル信号を、その入力コードに対応した電圧レベルのアナログ信号に変換する電流セル型のデジタルアナログ変換器であって、デコーダ６４と、電流セルアレイ６６と、ＩＶ変換器６８と、反転回路７８とを備えている。

【０００３】 図示例のＤＡＣ６２において、まず、デコーダ６４は、デジタル信号の入力コードに対応したデコード信号 $S_n \sim S_1$ を出力する。このデコード信号 $S_n \sim S_1$ は、次の電流セルアレイ６６のスイッチ素子を制御する信号である。

【０００４】 電流セルアレイ６６は、デコード信号 $S_n \sim S_1$ に対応した電流を供給するもので、 n 個の電流セル７０で構成される。また、各々の電流セル７０は、電流源７２と、スイッチ素子７４とを備えている。

【０００５】 各々の電流セル７０において、電流源７２は、所定の一定電流 I を供給するもので、電源とスイッチ素子７４との間に接続されている。スイッチ素子７４

は、この電流源７２からの電流 I を、内部ノードＡまたはグラウンドＢのどちらかに切り替えて供給するもので、電流源７２と内部ノードＡおよびグラウンドＢとの間に接続可能に構成され、デコード信号 $S_n \sim S_1$ の状態に応じて、内部ノードＡまたはグラウンドＢのいずれかに接続される。

【０００６】 ＩＶ変換器６８は、電流セルアレイ６６から供給される合計の電流を電圧に変換するもので、反転回路７８は、このＩＶ変換器６８の出力電圧を反転して、ＩＶ変換器６８の出力と共に差動出力を得るためのものである。

【０００７】 ＩＶ変換器６８は、オペアンプＯＰ１と、抵抗素子 R_1 とを備えている。オペアンプＯＰ１の端子＋にはシグナルグラウンド SG_1 が接続され、その端子－には内部ノードＡが接続されている。抵抗素子 R_1 は、オペアンプＯＰ１の端子－と出力端子との間に接続され、オペアンプＯＰ１からは、差動出力電圧を構成する一方の出力信号 V_{outN} が出力されている。

【０００８】 また、反転回路７８は、オペアンプＯＰ２と、２つの抵抗素子 R_2 とを備えている。オペアンプＯＰ２の端子＋にはシグナルグラウンド SG_2 が接続され、その端子－には、抵抗素子 R_2 を介してオペアンプＯＰ１の出力信号 V_{outN} が接続されている。また、オペアンプＯＰ２の端子－と出力端子との間には抵抗素子 R_2 が接続され、オペアンプＯＰ２からは、出力信号 V_{outN} を反転した、差動出力電圧を構成する他方の出力信号 V_{outP} が出力されている。

【０００９】 図示例のＤＡＣ６２では、各々の電流セル７０の電流源７２から所定の一定電流 I が供給される。デコーダ６４によりデジタル信号の入力コードがデコードされ、デコード信号 $S_n \sim S_1$ が得られる。デコード信号 $S_n \sim S_1$ の状態に応じて、各電流セル７０のスイッチ素子７４の接続状態が決定され、電流源７２から供給される電流 I は、各々の電流セル７０のスイッチ素子７４の接続状態に応じて、内部ノードＡ側またはグラウンドＢ側のいずれかに流れる。

【００１０】 内部ノードＡ側に流れた電流 I は全て加算され、その合計の電流 I_{R1} は、ＩＶ変換器６８により、デジタル信号の入力コードに対応した電圧レベルのアナログ信号 V_{outN} に変換され、反転回路７８によりアナログ信号 V_{outN} を反転した V_{outP} に変換される。例えば、電源電圧を V_{dd} とし、シグナルグラウンド $SG_1 = SG_2 = 1/2 \times V_{dd}$ とすると、アナログ信号 $V_{outN} = -(I_{R1} \times R_1)$ で表される。また、アナログ信号 V_{outP} は、シグナルグラウンド SG_2 を中心とするアナログ信号 V_{outN} の反転信号である。

【００１１】 また、図８は、従来のＤＡ変換器の別の例の構成概略図である。同図に示すＤＡＣ８０は、図７に示すＤＡＣ６２と比較して、電流セルアレイ６６を構成

する各々の正側電流セル70が、電源から内部ノードAに電流を供給するものであり、各々の負側電流セル79が、内部ノードAからグラウンドに電流を引き抜くよう作用するものである。

【0012】各々の正側電流セル70は、正側の電流源72aおよびスイッチ素子74aを備え、各々の負側電流セル79は、負側の電流源72bおよびスイッチ素子74bを備えている。

【0013】各々の電流セル70、79において、正側の電流源72aは、電源と正側のスイッチ素子74aとの間に接続され、正側のスイッチ素子74aは、正側の電流源72aと内部ノードAとの間に接続可能に構成されている。また、負側の電流源72bは、グラウンドと負側のスイッチ素子74bとの間に接続され、負側のスイッチ素子74bは、負側の電流源72bと内部ノードAとの間に接続可能に構成されている。

【0014】各々の正側電流セル70の正側のスイッチ素子74aには、デコーダ64から各々デコード信号 $S_{nP} \sim S_{1P}$ が入力され、各々の負側電流セル79の負側のスイッチ素子74bには、デコーダ64からデコード信号 $S_{nN} \sim S_{1N}$ が入力されている。なお、デコード信号 $S_{nP} \sim S_{1P}$ およびデコード信号 $S_{nN} \sim S_{1N}$ により正負両側のスイッチが同時にオン状態となることはなく、各々の正側電流セル70および各々の負側電流セル79のうちいずれか片側の電流セルのみがデジタル信号の入力コードに応じて電流の流れる状態となる。ここで、Pは正極、Nは負極を意味する。

【0015】スイッチ素子74a、74bは、デコード信号 $S_{nP} \sim S_{1P}$ 、 $S_{nN} \sim S_{1N}$ の状態に応じて、内部ノードAに接続されるかオープン状態とされる。

【0016】正側のスイッチ素子74aが内部ノードAに接続されると、内部ノードAには、各々の正側電流セル70から、正側の電流源72aを介して所定の一定電流 I_p が供給され、加算される。これに対し、負側のスイッチ素子74bが内部ノードAに接続されると、内部ノードAから、各々の負側電流セル79の負側の電流源72bを介して所定の一定電流 I_n が引き抜かれる。これ以後の動作は、図7に示すDAC62の場合と同じである。

【0017】

【発明が解決しようとする課題】図7に示すDAC62では、例えばアナログ信号 V_{outN} は、シグナルグラウンドSG1よりも低い電圧しか出力されない。

【0018】これに対し、シグナルグラウンドSG1を例えば $1/2 \times V_{dd}$ よりも高い電圧として、この問題を解決するという方法が考えられる。

【0019】しかし、例えば電源電圧 $V_{dd} = 3V$ 程度、シグナルグラウンドSG1 $= 2.5V$ とした場合、電源電圧変動により、電源電圧が10%低下した $2.7V$ となった場合、電流セル70の電流源72を構成するト

ランジスタの V_{ds} （ドレインソース間電圧） $= 2.7V - 2.5V = 200mV$ 程度となり、飽和状態での定電流動作が難しくなる。

【0020】この時、シグナルグラウンドSG1を低くすればこの問題は回避できるが、そうすると必然的にアナログ信号 V_{outN} 、 V_{outP} の差動出力電圧レンジを狭くすることになる。

【0021】一方、図8に示すDAC80では、正側のスイッチ素子74aが選択されると、シグナルグラウンドSGよりも低い電圧が V_{outN} に出力され、逆に、負側のスイッチ素子74bが選択されると、シグナルグラウンドSGよりも高い電圧が V_{outN} に出力される。

【0022】しかし、図8に示すように、正側および負側の電流源72a、72bを備えるDAC80をCMOSで構成する場合、正側の電流源72aはP型MOSトランジスタ（PMOS）、負側の電流源72bはN型MOSトランジスタ（NMOS）で構成するのが一般的であるが、これらのPMOSおよびNMOSの特性、つまり、電流セル70の電流源72a、72bの定電流特性を一致させるのは非常に困難であり、これらが一致していないとリニアリティが大きく劣化してしまう。

【0023】したがって、図7の場合でも、図8の場合でも、出力差動電圧がリニアリティよく出力レンジを広くとることは難しい。

【0024】本発明の目的は、前記従来技術に基づく問題を解消し、シグナルグラウンドを中心として広い電圧レンジを持ち、なおかつリニアリティの良好な差動電圧を出力可能な差動出力型DA変換器を提供することにある。

【0025】

【課題を解決するための手段】上記目的を達成するために、本発明は、デジタル信号をデコードしてデコード信号を出力するデコーダと、電流の方向が一方向のみの定電流源で構成され、前記デコード信号による選択時に前記電流の経路となる第1電流経路および非選択時に前記電流の経路となる第2電流経路を有する電流セルが複数配置された電流セルアレイと、複数の前記第1電流経路の電流を加算した加算電流および複数の前記第2電流経路の電流を加算した加算電流に対しシンク電流またはソース電流を供給することにより第1の電流および第2の電流を生成する電流折り返し回路と、前記第1および第2の電流のそれぞれに対応する電圧レベルのアナログ信号に変換するI/V変換回路と、を備えていることを特徴とする差動出力型DA変換器を提供するものである。

【0026】ここで、前記ソース電流は前記電流セルアレイを流れる総和電流の略半分に相当し、前記シンク電流は前記総和電流に略相当するものであるのが好ましい。また、前記電流折り返し回路は、第1の電圧に接続された第1および第2の定電流源により前記ソース電流を生成し、第2の電圧に接続された第3および第4の定

電流源により前記シンク電流を生成するのが好ましい。

【0027】

【発明の実施の形態】以下に、添付の図面に示す好適実施例に基づいて、本発明の差動出力型D A変換器を詳細に説明する。

【0028】図1は、本発明の差動出力型D A変換器の一実施例の構成概略図である。同図に示す差動出力型D A変換器（以下、DACという）10は、デジタル信号を、その入力コードに対応した電圧レベルの差動出力の2つのアナログ信号に変換する電流セル型のデジタルアナログ変換器であって、基本的に、デコーダ12と、電流セルアレイ14と、電流折り返し回路16と、I V変換回路18とを備えている。

【0029】図示例のDAC10において、まず、デコーダ12は、デジタル信号をデコードして、その入力コードに対応したデコード信号を出力する。図示例の場合、デコーダ12は、2ビットのデジタル信号D1、D0をデコードして、その入力コードに対応したデコード信号S3N~SON、S3P~SOPを出力する。これらのデコード信号S3N~SONとデコード信号S3P~SOPとは各々排他的な信号である。

【0030】続いて、電流セルアレイ14は、デコーダ12から入力されるデコード信号に対応した電流が第1および第2の内部ノードP1、N1のそれぞれに供給され、これらの電流が加算されるもので、図示例では4つの電流セル20を備えている。各々の電流セル20は、電流源となるP型MOSトランジスタ（以下、PMOSという）22と、スイッチ回路となる2つのPMOS24、26とを備えている。

【0031】各々の電流セル20において、PMOS22のソースは電源に接続され、そのドレインはPMOS24、26のソースに接続され、PMOS24、26のドレインは、それぞれ第1および第2の内部ノードとなる内部ノードP1、N1に接続されており、このノードP1、N1で各々の電流セル20の電流が加算される。また、PMOS22のゲートにはバイアス電圧VB1が共通に接続され、PMOS24、26のゲートには、デコード信号S3N~SONおよびS3P~SOPがそれぞれ入力されている。

【0032】各々の電流セル20の電流源のPMOS22はカレントミラー回路を構成する。したがって、バイアス電圧VB1の電圧レベルに応じて、電源から、各々の電流セル20を介し、内部ノードP1、N1に対して、本実施例では、ほぼ等しい一定の電流aが供給される。なお、本発明では、電流セルアレイ14を構成する全ての電流セル20から供給される電流の総和を総和電流という。本実施例の場合、総和電流は4aである。

【0033】また、スイッチ回路のPMOS24、26は、デコード信号S3N~SONおよびS3P~SOPに応じてどちらか一方がオンし、他方はオフする。こ

で、PMOS24がオンした場合、電流源22からPMOS24を介して内部ノードP1に電流aが供給され、加算される。同じく、PMOS26がオンした場合、電流源22からPMOS26を介して内部ノードN1に電流aが供給され、加算される。

【0034】電流折り返し回路16は、総和電流の半分に相当するソース電流を電源から内部ノードP1、N1へ供給すると共に、総和電流に相当するシンク電流を内部ノードP1、N1からグランドへ引き抜くもので、総和電流の半分に相当する電流を電源から内部ノードP1、N1へ供給する電源側の電流源28と、総和電流に相当する電流を内部ノードP1、N1からグランドへ引き抜くグランド側の電流源30とを備えている。

【0035】電源側の電流源28は2つのPMOS32、34を備えている。これらのPMOS32、34は電源と内部ノードP1、N1との間にそれぞれ接続され、そのゲートにはバイアス電圧VB1が共通に接続されている。

【0036】電源側の電流源28のPMOS32、34は、電流セルアレイ14の電流源のPMOS22と共にカレントミラー回路を構成する。本実施例では、電源から、これらのPMOS32、34を介し、電流セルアレイ14の総和電流の半分に相当する、ほぼ等しい一定のソース電流2aが供給される。

【0037】一方、グランド側の電流源30は2つのN型MOSトランジスタ（以下、NMOSという）36、38を備えている。NMOS36、38は、内部ノードP1、N1とグランドとの間にそれぞれ接続され、そのゲートにはバイアス電圧VB2が共通に接続されている。

【0038】グランド側の電流源30のNMOS36、38はカレントミラー回路を構成する。本実施例では、それぞれの内部ノードP1、N1から、NMOS36、38を介し、グランドへ電流セルアレイ14の総和電流に相当する、ほぼ等しい一定のシンク電流4aが引き抜かれる。

【0039】内部ノードP1、N1には、電流セルアレイ14から、デジタル信号の入力コードに対応した電流が供給される。そして、電流折り返し回路16により、電源から内部ノードP1、N1に対して電流セルアレイ14の総和電流の半分に相当する電流2aが供給され、内部ノードP1、N1からグランドに対して電流セルアレイ14の総和電流に相当する電流4aが引き抜かれる。すなわち、電流折り返し回路16では、内部ノードP1、N1に供給された電流セルアレイ14の電流から電流セルアレイ14の総和電流の半分に相当する電流2aだけ引き抜かれ、この電流が電流折り返し回路16の出力電流IP、INとなり、I V変換回路18に入力される。

【0040】最後に、I V変換回路18は、電流折り返

し回路16から出力された電流を、これに対応した電圧レベルの2つのアナログ信号に変換するもので、図示例では、電流折り返し回路16から出力された電流 I_P 、 I_N を、これに対応した電圧レベルのアナログ信号 V_{outP} 、 V_{outN} に変換する2つのIV変換器40、42を備えている。

【0041】ここで、IV変換器40は、オペアンプOP1と、抵抗素子RFB1とを備えている。IV変換器40のオペアンプOP1の端子+にはシグナルグランドSGが接続され、その端子-には内部ノードP1が接続されている。抵抗素子RFB1はオペアンプOP1の端子-と出力端子との間に接続され、オペアンプOP1からは出力電圧 V_{outP} が出力されている。

【0042】同じく、IV変換器42は、オペアンプOP2と、抵抗素子RFB2とを備えている。IV変換器42のオペアンプOP2の端子+にはシグナルグランドSGが接続され、その端子-には内部ノードN1が接続されている。抵抗素子RFB2はオペアンプOP2の端子-と出力端子との間に接続され、オペアンプOP2からは出力電圧 V_{outN} が出力されている。

【0043】なお、本実施例では、抵抗素子RFB1、RFB2の抵抗値は等しく、抵抗値Rと表現するものとする。また、オペアンプOP1、OP2の端子-の電位は、シグナルグランドSGに仮想接地され、電流折り返し回路16から出力された電流 I_P 、 I_N は、このオペアンプOP1、OP2の端子-のノードを通り、抵抗素子RFB1、RFB2に流れる。よって、これらIV変換器40、42の出力電圧 V_{outP} 、 V_{outN} は、 $RFB1=RFB2=R$ であるので、 $V_{outP}=- (I_P \times RFB1) = - (I_P \times R)$ [V_{Op}:ゼロピーク電圧]、 $V_{outN}=- (I_N \times RFB2) = - (I_N \times R)$ [V_{Op}]であり、シグナルグランドSGを中心とした差動電圧出力となる。

【0044】次に、図2に示す表1を参照しながら、DAC10の動作を説明する。

【0045】図示例のDAC10では、まず、デコーダ12により、2ビットのデジタル信号D1、D0がデコードされ、その入力コードに対応したデコード信号S3N~SON、S3P~S0Pが電流セルアレイ14に入力される。

【0046】続いて、電流セルアレイ14では、デコーダ12から入力されるデコード信号S3N~SON、S3P~S0Pに対応した電流が内部ノードP1、N1にそれぞれ供給される。

【0047】また、電流折り返し回路16により、電源から内部ノードP1、N1のそれぞれに対して総和電流の半分に相当する電流2aが供給され、内部ノードP1、N1からグランドに対して総和電流に相当する電流4aが引き抜かれる。すなわち、内部ノードP1、N1に供給された電流セルアレイ14の電流から電流セルア

レイ14の総和電流の半分に相当する2aだけ引き抜かれ、この電流が電流折り返し回路16の出力電流 I_P 、 I_N となる。

【0048】そして、IV変換回路18により、電流折り返し回路16の出力電流 I_P 、 I_N が、これに対応した差動電圧出力であるアナログ信号 V_{outP} 、 V_{outN} に変換される。

【0049】図2の表1に示すように、例えばデジタル信号D1、D0=0、1の場合、デコード信号S3N~SON=1、0、0、0、デコード信号S3P~S0P=0、1、1、1となり、4つの電流セル20の内の3つの電流セル20のPMOS24がオン、1つの電流セル20のPMOS26がオンして、電流セルアレイ14から、PMOS24を介して内部ノードP1に電流3aが、PMOS26を介して内部ノードN1に電流aがそれぞれ供給される。

【0050】また、電流折り返し回路16により、電源から内部ノードP1、N1のそれぞれに対して総和電流の半分に相当する電流2aが供給され、内部ノードP1、N1からグランドに対して総和電流に相当する電流4aが引き抜かれる。すなわち、内部ノードP1、N1に供給された電流セルアレイ14の電流から電流セルアレイ14の総和電流の半分に相当する2aだけ引き抜かれ、この電流が電流折り返し回路16の出力電流 I_P 、 I_N となる。その結果、電流折り返し回路16の出力電流 I_P 、 I_N は、それぞれ $I_P=3a+2a-4a=a$ 、 $I_N=a+2a-4a=-a$ となる。

【0051】これらの電流折り返し回路16の出力電流 I_P 、 I_N は、IV変換回路18に入力され、 $R=RFB1=RFB2$ とすると、アナログ信号 $V_{outP}=- (I_P \times R) = - (a \times R) = -a \times R$ [V_{Op}:ゼロピーク電圧]、アナログ信号 $V_{outN}=- (I_N \times R) = - (-a \times R) = a \times R$ [V_{Op}]という、シグナルグランドSGを中心とした差動電圧に変換される。

【0052】また、デジタル信号D1、D0=1、0の場合および1、1の場合も同様に動作する。なお、本発明のDACは、差動電圧を出力する構成であり、デジタル信号D1、D0=1、0で差動電圧出力 V_{outP} 、 V_{outN} がそれぞれ0 [V_{Op}] すなわちバイポーラゼロBPZとなるものとし、デジタル信号D1、D0=0、0の場合を除くものとする。

【0053】図示例のDAC10では、電流折り返し回路16によって、各々の電流セルアレイ20から内部ノードP1、N1に供給される電流に対して総和電流の半分に相当する電流を少なくするのと等価な動作をしており、電流セルアレイ14を構成する電流セル20が、例えば電源から電流を供給する正側の一方のみの電流を持った電流源だけでよく、図8に示すDAC80の場合のように、電流をグランドへ引き抜く負側の電流源は必要ないため、簡素に構成することができる。

【0054】また、DAC10では、電流セルアレイ14の各電流セル20を構成する電流源22および電流折り返し回路16の電流源28、30が共にカレントミラー動作することが可能な範囲で、かつ、1V変換回路18のオペアンプOP1、OP2が動作可能な範囲で電源電圧を低電圧化することが可能であるという利点もある。

【0055】また、DAC10では、アナログ信号VoutP、VoutNの出力電圧レンジは1V変換回路18で用いられる抵抗素子RFB1、RFB2およびオペアンプOP1、OP2の出力電圧レンジで決定されるため、これらを適宜変更することにより広い出力電圧レンジを得ることができる。

【0056】次に、図3に示す別の実施例を挙げて、本発明の差動出力型DA変換器について説明する。

【0057】図3は、本発明の差動出力型DA変換器の別の実施例の構成概略図である。同図に示すDAC44は、図1に示すDAC10において、電流セルアレイ14を構成する各電流セル20の電流源であるPMOS22、ならびに、電流折り返し回路16を構成する電源側の電流源28およびグランド側の電流源30をそれぞれカスコード接続したものである。

【0058】すなわち、電流セルアレイ14の各々の電流セル20の電流源は、図1に示すDAC10の場合と比べて、さらに電流源のPMOS22のドレインとスイッチ素子のPMOS24、26のソースとの間に接続されたPMOS46を備えている。

【0059】また、電流折り返し回路16の電源側の電流源28は、図1に示すDAC10の場合と比べて、さらに、それぞれPMOS32、34と内部ノードP1、N1との間に接続された2つのPMOS48、50を備えている。そして、電流セルアレイ14のPMOS46および電流折り返し回路16のPMOS48、50のゲートにはバイアス電圧VB3が共通に接続され、これらのPMOS46、48、50はカレントミラー回路を構成する。

【0060】同じく、電流折り返し回路16のグランド側の電流源30は、図1に示すDAC10の場合と比べて、さらにNMOS36、38と内部ノードP1、N1との間に接続された2つのNMOS52、54を備えている。これらのNMOS52、54のゲートにはバイアス電圧VB4が共通に接続され、カレントミラー回路を構成する。

【0061】図1に示すDAC10では、内部ノードP1、N1が1V変換器18のオペアンプOP1、OP2の端子に接続されるため、仮想接地により、内部ノードP1、N1がシグナルグランドSGの電位に固定される。したがって、電流折り返し回路16の電源側およびグランド側の電流源28、30のVds（ドレインソース間電圧）は、それぞれ電源電圧Vdd－シグナルグ

ランドの電圧SG、シグナルグランドの電圧SG－グランド電圧Vssとなる。

【0062】これに対し、図3に示す例では、電流折り返し回路16において、PMOS48、50、NMOS52、54がPMOS32、34、NMOS36、38のそれぞれとカスコード構成としたため、これら定電流源のトランジスタのアーリー効果を抑え、その定電流特性を向上させることができる。

【0063】次に、図4に示す別の実施例を挙げて、本発明の差動出力型DA変換器について説明する。

【0064】図4は、本発明の差動出力型DA変換器の別の実施例の構成概略図である。同図に示すDAC56は、図3に示すDAC44において、デジタル信号が8ビットの場合、すなわち、電流セルアレイ14が256個の電流セル20を備えるものである。なお、これ以外の構成は、図3に示すDAC44と同じである。

【0065】この場合、電流セルアレイ14の総和電流は256aとなり、電流折り返し回路16の電源側の電流源28からは総和電流の半分に相当する128aの電流が供給され、グランド側の電流源30からは総和電流に相当する256aの電流が引き抜かれる。

【0066】図5の表2に示すように、デジタル信号が8ビットの場合、1V変換器40、42に流れる電流IP、INは、0を中心として、-127a～127aまでの255段階の値となる。なお、表2において、FSはフルスケール、BPZはバイポーラゼロ、VOpはゼロピーク電圧を表す。R=RFB1=RFB2とすると、アナログ信号VoutP=-（IP×R）[VOp]、VoutN=-（IN×R）[VOp]となり、電流IP、INに対応し、シグナルグランドSGを中心とした差動出力電圧を得る。

【0067】この例のように、本発明の差動出力型DA変換器では、デジタル信号のビット数、すなわち、電流セルアレイの電流セルの個数は何ら限定されない。

【0068】次に、図6に示す別の実施例を挙げて、本発明の差動出力型DA変換器について説明する。

【0069】図6は、本発明の差動出力型DA変換器の一実施例の構成概念図である。同図に示すDAC58は、それぞれデジタル信号の上位ビットおよび下位ビットに対応して動作する、上位ビット用および下位ビット用の2つの部分に分割したもので、デコーダ12と、上位用の電流セルアレイ14aおよび電流折り返し回路16aと、下位用の電流セルアレイ14bおよび電流折り返し回路16bと、1V変換回路18とを備えている。

【0070】デジタル信号はデコーダ12に入力され、デコーダ12からは、デジタル信号の上位ビットおよび下位ビットをデコードして得られた上位用および下位用のデコード信号が上位用および下位用電流セルアレイ14a、14bにそれぞれ入力される。

【0071】上位用電流セルアレイ14aからは、内部

ノードP1, N1に対して、上位用のデコード信号に対応した電流が供給され、下位用電流セルアレイ14bからは、内部ノードP2, N2に対して、下位用のデコード信号に対応した電流が供給される。

【0072】また、上位用電流折り返し回路16aにより、上位用電流セルアレイ14aの総和電流の半分に対応する電流が電源から内部ノードP1, N1へ供給されると共に、総和電流に相当する電流が内部ノードP1, N1からグランドへ引き抜かれ、この上位用電流折り返し回路16aの出力電流がIP1, IN1となる。同じく、下位用電流折り返し回路16bにより、下位用電流セルアレイ14bの総和電流の半分に対応する電流が電源から内部ノードP2, N2へ供給されると共に、総和電流に相当する電流が内部ノードP2, N2からグランドへ引き抜かれ、この下位用電流折り返し回路16bの出力電流がIP2, IN2となる。

【0073】そして、上位用電流折り返し回路16aの出力電流IP1, IN1、下位用電流折り返し回路16bの出力電流IP2, IN2が、それぞれ1V変換回路18の1V変換器40, 42へ入力され、アナログ信号VoutP, VoutNに変換される。但し、1V変換器40, 42は等しいフィードバック抵抗RFBを持つものとする。

【0074】この例のように、本発明のDAC58では、デジタル信号のビットに応じて、電流セルアレイ14および電流折り返し回路16を複数設けた構成とすることも可能である。

【0075】また、DACの出力信号帯域が低周波信号帯域である場合、より高精度化することを目的として、電流セルアレイにエレメントマッチング技術を取り入れることも可能である。なお、エレメントマッチング技術自体は、例えば米国特許第4935740号などに記載されている。

【0076】本発明の実施例では、シンク電流およびソース電流を総和電流および総和電流の半分としたが、これらの値は限定されず、任意に設定することも可能である。

【0077】なお、本発明の差動出力型DA変換器の差動出力電圧については既知の差動電圧と同様のものとする。すなわち、差動出力端子VoutPの電圧およびVoutNの電圧が接地電位（グランドGND）もしくはシグナルグランドSGに対して同電位の場合は同相電圧となる。また、VoutP, VoutNの両出力端子間の電位差が差動電圧となる。

【0078】本発明の差動出力型DA変換器は、基本的に以上のようなものである。以上、本発明の差動出力型DA変換器について詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【0079】

【発明の効果】以上詳細に説明した様に、本発明の差動出力型DA変換器は、電流の方向が一方のみの定電流源で構成され、デコード信号による選択時に電流の経路となる第1電流経路および非選択時に電流の経路となる第2電流経路を有する電流セルが複数配置された電流セルアレイを用い、電流折り返し回路によって、複数の第1電流経路の電流を加算した加算電流および複数の第2電流経路の電流を加算した加算電流に対しシンク電流またはソース電流を供給することにより第1の電流および第2の電流を生成し、1V変換回路により、第1および第2の電流のそれぞれに対応する電圧レベルのアナログ信号に変換するようにしたものである。これにより、本発明の差動出力型DA変換器によれば、電流セルアレイは、一方のみの電流源だけでよく、簡素に構成することができる。また、本発明の差動出力型DA変換器によれば、電流セルの電流源および電流折り返し回路の電流源が共にカレントミラー動作することが可能な範囲で、かつ、1V変換回路のオペアンプが動作可能な範囲であれば、電源電圧を低電圧化可能であるという利点もある。また、本発明の差動出力型DA変換器によれば、1V変換回路を適宜調整することにより、アナログ信号として広い出力電圧レンジを得ることができる。

【図面の簡単な説明】

【図1】 本発明の差動出力型DA変換器の一実施例の構成回路図である。

【図2】 図1に示す差動出力型DA変換器の動作を表す一実施例の表である。

【図3】 本発明の差動出力型DA変換器の別の実施例の構成回路図である。

【図4】 本発明の差動出力型DA変換器の別の実施例の構成回路図である。

【図5】 図4に示す差動出力型DA変換器の動作を表す一実施例の表である。

【図6】 本発明の差動出力型DA変換器の一実施例の構成概念図である。

【図7】 従来のDA変換器を用いて差動出力を得る回路の一例である。

【図8】 従来のDA変換器の別の例の構成概略図である。

【符号の説明】

10, 44, 56, 58, 60, 62, 80 DA変換器(DAC)

12, 64 デコーダ

14, 14a, 14b, 66 電流セルアレイ

16, 16a, 16b 電流折り返し回路

18 1V変換回路

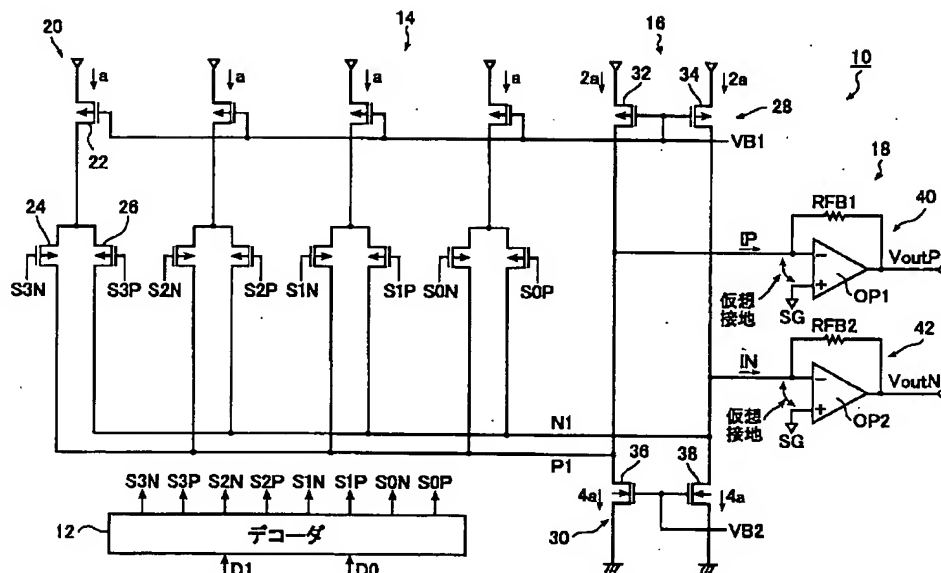
20, 66, 70, 79 電流セル

22, 24, 26, 32, 34, 46, 48, 50 P型MOSトランジスタ(PMOS)

28, 30, 72, 72a, 72b 電流源
 36, 38, 52, 54 N型MOSトランジスタ (N MOS)
 40, 42, 68 I/V変換器
 74, 74a, 74b スイッチ素子
 78 反転回路
 OP1, OP2 オペアンプ
 RFB1, RFB2, R1, R2 抵抗素子

C 容量素子
 D1, D0 デジタル信号
 S3N~S0N, S3P~S0P デコード信号
 P1, P2, N1, N2 内部ノード
 VoutP, VoutN アナログ信号
 VB1, VB2, VB3, VB4 バイアス電圧
 SG, SG1, SG2 シグナルグランド

【図1】



【図2】

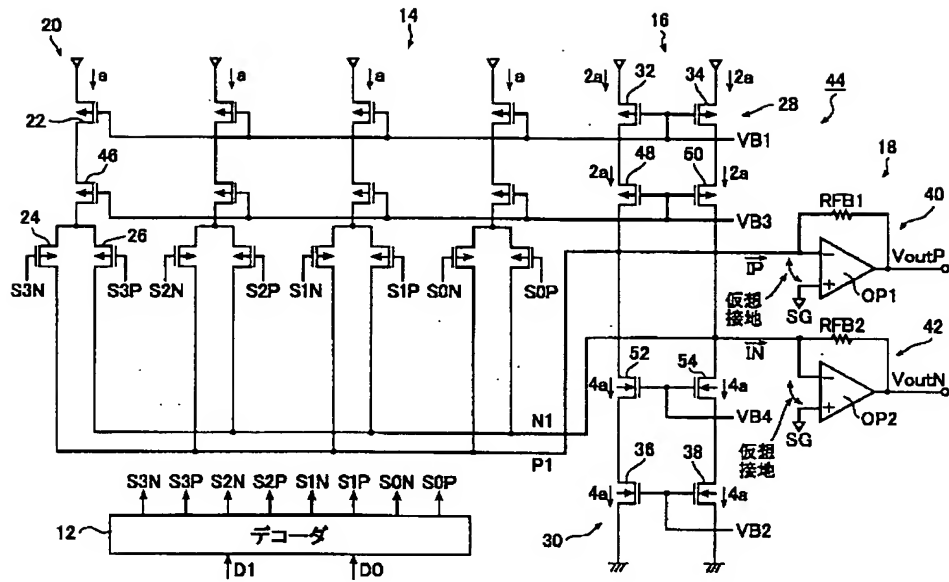
表 1

D1	D0	S3N	S3P	S2N	S2P	S1N	S1P	S0N	S0P	電流 IN	電流 IP	VoutN[V0p]	VoutP[V0p]
0	1	1	0	0	1	0	1	0	1	$a+2a-4a=-a$	$3a+2a-4a=a$	$a \times R$	$-a \times R$
1	0	1	0	1	0	0	1	0	1	$2a+2a-4a=0$	$2a+2a-4a=0$	0	0
1	1	1	0	1	0	1	0	0	1	$3a+2a-4a=a$	$a+2a-4a=-a$	$-a \times R$	$a \times R$

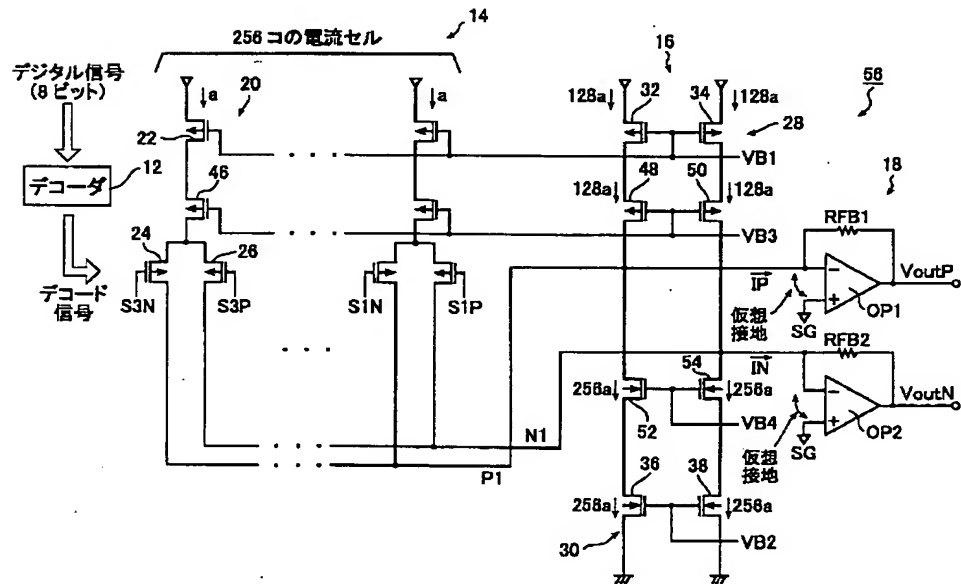
→ 原理的にデコード信号 S3N~S0P により電流セルのスイッチ回路がオンする数で、
 IP, IN の電流値が決まる。

$$R=RFB1=RFB2$$

【図 3】



【図 4】



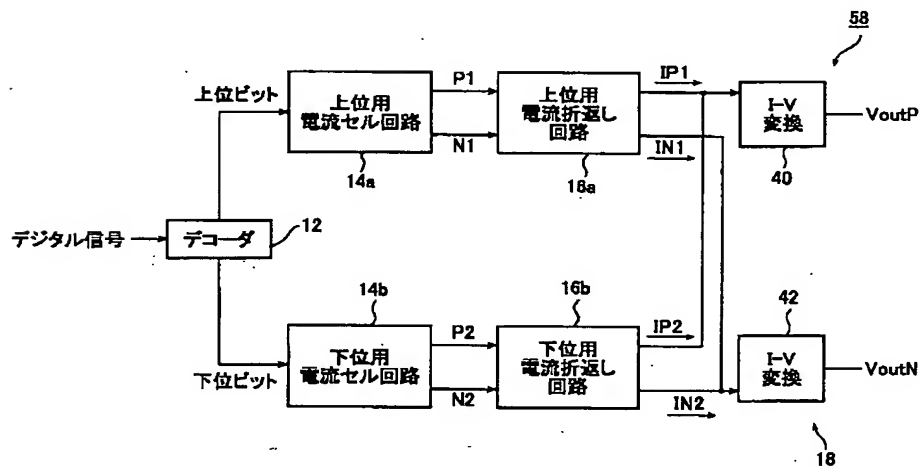
【図 5】

表 2

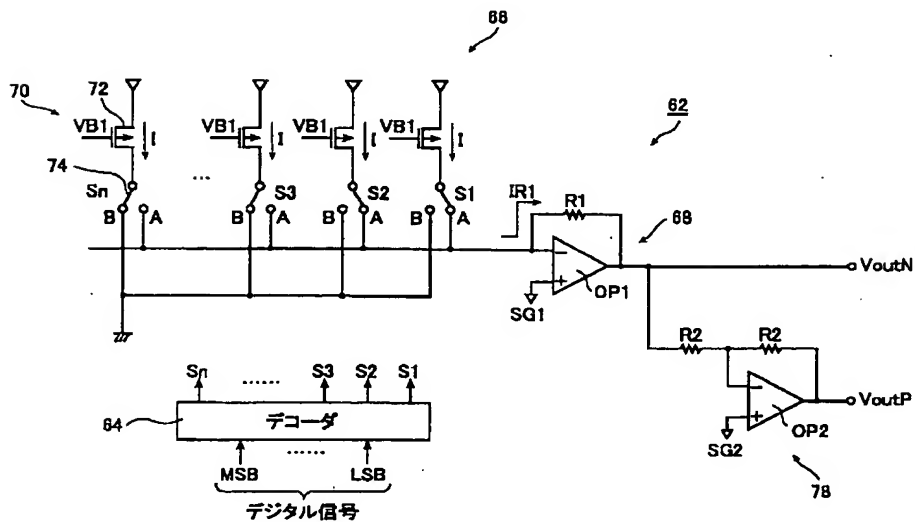
入力レベル	デジタル信号 入力値	P1 に 接続される 電流セル	N1 に 接続される 電流セル	IP 出力電流 [A]	IN 出力電流 [A]	VoutP 振幅 [V _{0p}]	VoutN 振幅 [V _{0p}]
+FS(127)	1111 1111	255□(255a)	1□(a)	127a	-127a	-(127a×R)	(127a×R)
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
+1	1000 0001	129□(129a)	127□(127a)	1a	-1a	-(a×R)	(a×R)
BPZ	1000 0000	128□(128a)	128□(128a)	0	0	0	0
-1	0111 1111	127□(127a)	129□(129a)	-1a	1a	(a×R)	-(a×R)
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
-FS(-127)	0000 0001	1□(a)	255□(255a)	-127a	127a	(127a×R)	-(127a×R)

$$R=RFB1=RFB2$$

【図 6】



【図 7】



【図 8】

